

10/826, 471

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日 2 0 0 4 年 2 月 1 6 日
Date of Application:

出 願 番 号 特 願 2 0 0 4 - 0 3 8 4 5 9
Application Number:
[ST. 10/C]: [J P 2 0 0 4 - 0 3 8 4 5 9]

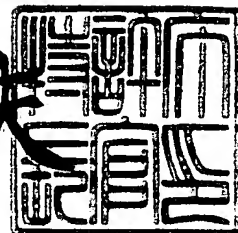
願 人 株式会社日立製作所
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 4 年 4 月 1 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 KN1614
【提出日】 平成16年 2月16日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 13/00
【発明者】
 【住所又は居所】 神奈川県川崎市麻生区王禅寺 1 0 9 9 番地 株式会社日立製作所
 システム開発研究所内
 【氏名】 細谷 睦
【発明者】
 【住所又は居所】 神奈川県川崎市麻生区王禅寺 1 0 9 9 番地 株式会社日立製作所
 システム開発研究所内
 【氏名】 渡辺 直企
【発明者】
 【住所又は居所】 神奈川県川崎市麻生区王禅寺 1 0 9 9 番地 株式会社日立製作所
 システム開発研究所内
 【氏名】 中村 崇仁
【発明者】
 【住所又は居所】 神奈川県小田原市中里 3 2 2 番 2 号 株式会社日立製作所 R A
 I D システム事業部内
 【氏名】 井上 靖雄
【発明者】
 【住所又は居所】 神奈川県川崎市麻生区王禅寺 1 0 9 9 番地 株式会社日立製作所
 システム開発研究所内
 【氏名】 藤本 和久
【特許出願人】
 【識別番号】 000005108
 【氏名又は名称】 株式会社 日立製作所
【代理人】
 【識別番号】 100093492
 【弁理士】
 【氏名又は名称】 鈴木 市郎
 【電話番号】 03-3591-8550
【選任した代理人】
 【識別番号】 100078134
 【弁理士】
 【氏名又は名称】 武 顕次郎
 【電話番号】 03-3591-8550
【手数料の表示】
 【予納台帳番号】 113584
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

ホストコンピュータ又はディスクドライブ装置との接続インターフェースを持つチャンネルアダプタと、前記ホストコンピュータと前記ディスクドライブ装置の間で転送されるデータを一時的に格納するメモリアダプタと、前記チャンネルアダプタと前記メモリアダプタの動作を制御するプロセッサアダプタと、前記チャンネルアダプタ、前記メモリアダプタ、前記プロセッサアダプタの間を互いに接続して内部ネットワークを構成するスイッチアダプタと、を備え、

前記チャンネルアダプタ、前記メモリアダプタ、前記プロセッサアダプタ、及び前記スイッチアダプタは、前記内部ネットワークの通信プロトコル制御を行う DMA コントローラを有し、

各アダプタに設けられた前記 DMA コントローラの間でバケット多重通信を行うことを特徴とするディスク制御装置。

【請求項 2】

請求項 1 において、

前記チャンネルアダプタ、前記メモリアダプタ、前記プロセッサアダプタ及び前記スイッチアダプタは、それぞれ複数の DMA コントローラと 1 つ以上のデータリンクエンジンを有し、

複数の前記 DMA コントローラは前記データリンクエンジンを共有しており、複数の前記 DMA コントローラは前記データリンクエンジンを介して DMA 転送を同時に実行することを特徴とするディスク制御装置。

【請求項 3】

請求項 1 又は 2 において、

前記 DMA コントローラは、複数の受信 FIFO バッファと複数の送信 FIFO バッファを持ち、

複数の前記受信 FIFO バッファの間で受信データ間の競合が調停され、複数の前記送信 FIFO バッファの間で送信データ間の競合が調停される

ことを特徴とするディスク制御装置。

【請求項 4】

請求項 1 又は 2 において、

前記 DMA コントローラは、受信 FIFO バッファと送信 FIFO バッファを持ち、

複数の前記 DMA コントローラに属するそれぞれの前記受信 FIFO バッファの間で受信データ間の競合が調停され、複数の前記 DMA コントローラに属するそれぞれの前記送信 FIFO バッファの間で送信データ間の競合が調停される

ことを特徴とするディスク制御装置。

【請求項 5】

ホストコンピュータ又はディスクドライブ装置との接続インターフェースを持つチャンネルアダプタと、前記ホストコンピュータと前記ディスクドライブ装置の間で転送されるデータを一時的に格納するメモリアダプタと、前記チャンネルアダプタと前記メモリアダプタの動作を制御するプロセッサアダプタと、前記チャンネルアダプタ、前記メモリアダプタ、前記プロセッサアダプタの間を互いに接続して内部ネットワークを構成するスイッチアダプタと、を備え、

前記チャンネルアダプタ、前記メモリアダプタ、前記プロセッサアダプタ及び前記スイッチアダプタは、それぞれ、前記内部ネットワークの通信プロトコル制御を行う複数の DMA コントローラと、前記 DMA コントローラによって共有される 1 つ以上のデータリンクエンジンと、を有し、

前記 DMA コントローラが複数の受信 FIFO バッファと送信 FIFO バッファを有することで、1 つのデータリンクエンジンに対して複数のバッファを対応させ、

複数の前記 DMA コントローラに属するそれぞれの前記受信 FIFO バッファの間で受信データ間の競合が調停され、複数の前記 DMA コントローラに属するそれぞれの前記送

信FIFOバッファの間で送信データ間の競合が調停されることで、複数のバッファ間に優先度を設け、

1つのデータリンクエンジンに制御系の内部ネットワークとデータ系の内部ネットワークを混在させて、各アダプタに設けられた前記DMAコントローラの間でパケット多重通信を行う

ことを特徴とするディスク制御装置。

【請求項6】

ホストコンピュータ又はディスクドライブ装置との接続インターフェースを持つチャネルアダプタと、前記ホストコンピュータと前記ディスクドライブ装置の間で転送されるデータを一時的に格納するメモリアダプタと、前記チャネルアダプタと前記メモリアダプタの動作を制御するプロセッサアダプタと、前記チャネルアダプタ、前記メモリアダプタ、前記プロセッサアダプタの間を互いに接続して内部ネットワークを構成するスイッチアダプタと、を備え、

前記チャネルアダプタ、前記メモリアダプタ、前記プロセッサアダプタ、及び前記スイッチアダプタは、前記内部ネットワークの通信プロトコル制御を行うDMAコントローラを有するディスク制御装置であって、

各アダプタの前記DMAコントローラ間で転送されるパケットは、転送先のDMAコントローラを指定するアドレスフィールドと、転送元のDMAコントローラを指定するアドレスフィールドと、1つのDMA転送を複数のパケットに分割して転送する際の転送順序を管理するDMAシーケンスフィールドと、を有し、

前記DMAシーケンスフィールドは、1つのDMA転送内においてユニークなタスクIDを持つ

ことを特徴とするディスク制御装置。

【請求項7】

請求項6において、

各アダプタのDMAコントローラ間で転送されるパケットは、前記パケットの中継DMAコントローラを指定する第1のアドレスと、宛先DMAコントローラを指定する第2及び第3のアドレスと、前記宛先DMAコントローラに転送すべき転送データと、を持つ

ことを特徴とするディスク制御装置。

【請求項8】

請求項6又は7において、

前記チャネルアダプタ、前記メモリアダプタ、前記プロセッサアダプタ及び前記スイッチアダプタは、それぞれ複数のDMAコントローラと1つ以上のデータリンクエンジンを有し、

各アダプタのDMAコントローラ間で転送されるパケットは、前記データリンクエンジンに対する制御情報を含んだルーティング部と、前記DMAコントローラに対する制御情報を含んだコマンド部と、それ以外のデータを含んだデータ部と、から構成され、

前記ルーティング部は当該ルーティング部内の転送エラーを保証するためのルーティング部エラーチェックコードを含み、前記コマンド部は当該コマンド部内の転送エラーを保証するためのコマンド部エラーチェックコードを含み、前記データ部は当該データ部内の転送エラーを保証するためのデータ部エラーチェックコードを含む

ことを特徴とするディスク制御装置。

【請求項9】

請求項6、7又は8において、

前記転送元のアドレスフィールドで指定されたDMAコントローラから、前記転送先のアドレスフィールドで指定されたDMAコントローラに対して、分割DMA転送を行い、

前記転送先アドレスフィールドで指定されたDMAコントローラは、前記転送元アドレスフィールドで指定されたDMAコントローラに対して、前記分割したDMA転送に対応した分割終了ステータスを返送し、

前記分割終了ステータスは、前記分割したDMA転送に含まれていたDMAシーケンス

フィールドの情報を有し、

前記転送元アドレスフィールドで指定されたDMAコントローラは、前記分割終了ステータスに含まれている前記DMAシーケンスフィールドの情報を確認することによって前記分割したDMA転送の転送順序の確認を行う

ことを特徴とするディスク制御装置。

【請求項10】

請求項6ないし9のいずれか1つの請求項において、

前記DMAコントローラ間で転送されるパッケージが、前記スイッチアダプタ内のDMAコントローラを指定する第1のアドレスと、宛先DMAコントローラを指定する第2及び第3のアドレスと、前記宛先DMAコントローラに転送すべき転送データと、を有する場合、

前記スイッチアダプタ内のDMAコントローラにおいて、前記第2のアドレスを前記転送先のアドレスフィールドに持ち且つ前記転送データを含んだパッケージと、前記第3のアドレスを前記転送先のアドレスフィールドに持ち且つ前記転送データを含んだパッケージと、を生成する

ことを特徴とするディスク制御装置。

【請求項11】

請求項6又は7において、

各アダプタのDMAコントローラ間で転送されるパッケージは、パッケージ制御情報を含んだヘッダ部と、それ以外のデータを含んだデータ部と、から構成され、

前記ヘッダ部は当該ヘッダ部内の転送エラーを保証するためのヘッダ部エラーチェックコードを含み、前記データ部は当該データ部内の転送エラーを保証するためのデータ部エラーチェックコードを含み、

前記スイッチアダプタ内のDMAコントローラは、ヘッダ部エラーチェックコードが正常なパッケージのみを通過させる

ことを特徴とするディスク制御装置。

【請求項12】

請求項1において、

前記チャンネルアダプタ、前記メモリアダプタ、前記プロセッサアダプタ及び前記スイッチアダプタは、複数のDMAコントローラと複数のデータリンクエンジンを有し、

前記DMAコントローラが前記データリンクエンジンを介してDMA転送を実行する際、1つのDMA転送内では同一のデータリンクエンジンを介して転送が行われる

ことを特徴とするディスク制御装置。

【請求項13】

ホストコンピュータ又はディスクドライブ装置との接続インターフェースを持つ一のチャンネルアダプタと、前記ホストコンピュータと前記ディスクドライブ装置の間で転送されるデータを一時的に格納する一のメモリアダプタと、前記一のチャンネルアダプタと前記一のメモリアダプタの動作を制御する一のプロセッサアダプタと、前記一のチャンネルアダプタ、前記一のメモリアダプタ、前記一のプロセッサアダプタの間を互いに接続して内部ネットワークを構成する一のスイッチアダプタと、を備え、前記一のチャンネルアダプタ、前記一のメモリアダプタ、前記一のプロセッサアダプタ、及び前記一のスイッチアダプタは、前記内部ネットワークの通信プロトコル制御を行うDMAコントローラを有し、各アダプタに設けられた前記DMAコントローラの間でパッケージ多重通信を行う一のディスク制御装置と、

前記一のディスク制御装置に備えられた前記一のチャンネルアダプタ、前記一のメモリアダプタ、前記一のプロセッサアダプタ、及び前記一のスイッチアダプタと同様の構成である他のディスク制御装置と、を設け、

前記一のスイッチアダプタは、前記一の各アダプタに接続されるとともに前記他の各アダプタにも接続され、

前記他のスイッチアダプタは、前記他の各アダプタに接続されるとともに前記一の各ア

アダプタにも接続される

ことを特徴とするディスク制御装置。

【請求項 14】

請求項 13 において、

前記一のスイッチアダプタ及び／又は前記他のスイッチアダプタの拡張ポートに対して、更に他のスイッチアダプタの拡張ポートを接続する

ことを特徴とするディスク制御装置。

【請求項 15】

ホストコンピュータ又はディスクドライブ装置との接続インターフェースを持つチャンネルアダプタと、前記ホストコンピュータと前記ディスクドライブ装置の間で転送されるデータを一時的に格納するメモリアダプタと、前記チャンネルアダプタと前記メモリアダプタの動作を制御するプロセッサアダプタと、前記チャンネルアダプタ、前記メモリアダプタ、前記プロセッサアダプタの間を互いに接続して内部ネットワークを構成するスイッチアダプタと、を備え、

前記チャンネルアダプタ、前記メモリアダプタ、前記プロセッサアダプタ、及び前記スイッチアダプタは、前記内部ネットワークの通信プロトコル制御を行う DMA コントローラと、前記内部ネットワークとの間で DMA 転送を実行するデータリンクエンジンと、を有し、

各アダプタに設けられた前記 DMA コントローラの間で転送されるパケットは、転送先の DMA コントローラを指定するアドレスフィールドと、転送元の DMA コントローラを指定するアドレスフィールドと、1つの DMA 転送を複数パケットに分割して転送する際の転送順序を管理する DMA シーケンスフィールドと、を備える

ことを特徴とするディスク制御装置。

【書類名】明細書

【発明の名称】ディスク制御装置

【技術分野】

【0001】

本発明は、複数のディスクドライブ装置を制御するためのディスク制御装置に係り、特に、コネクションレス型多重通信を用いた高信頼のディスク制御装置に関する。

【背景技術】

【0002】

半導体記憶装置を記憶媒体とするコンピュータの主記憶の入出力性能に比べて、磁気ディスクドライブを記憶媒体とするディスクサブシステム（以下「サブシステム」という）の入出力性能は3～4桁程度小さく、従来からこの差を縮めること、すなわちサブシステムの入出力性能を向上させる努力がなされている。サブシステムの入出力性能を向上させるための1つの方法として、データを複数の磁気ディスクドライブ装置に格納するディスク制御装置が用いられている。

【0003】

例えば、図16に示した、従来より知られているディスク制御装置は、ホストコンピュータ又はディスクドライブ装置との間のデータ転送を実行する複数のチャンネルアダプタ2100と、ホストコンピュータとディスクドライブ装置との間で転送されるデータを一時的に格納するキャッシュメモリアダプタ2300と、ディスク制御装置の動作に関する制御情報を格納する制御メモリアダプタ2301と、キャッシュメモリアダプタとチャンネルアダプタとを接続するためのスイッチアダプタ2400と、を備えている。チャンネルアダプタ2100とキャッシュメモリアダプタ2300との間は、複数のスイッチアダプタ2400を通してデータ系内部ネットワークにより接続される。チャンネルアダプタ2100と制御メモリアダプタ2301との間は、制御系内部ネットワークで接続される。このネットワーク接続により、キャッシュメモリアダプタ2300および制御メモリアダプタ2301は全てのチャンネルアダプタ2100からアクセス可能な構成となっている。

【0004】

チャンネルアダプタ2100は、データ系内部ネットワークとのパケット転送を実行するためのデータリンクエンジン（DLE）2110と、データ系内部ネットワークとのDMA転送を実行するためのDMAコントローラ（DMAC）2120と、DLE2110とDMAC2120とを接続するセレクトラ2115と、ホストコンピュータ又はディスクドライブ装置との通信を制御するプロトコルエンジン（PE）2130と、ホストコンピュータ又はディスクドライブ装置と接続するためのポート2140と、制御系内部ネットワークとのパケット転送を実行するためのDLE2210と、制御系内部ネットワークとのDMA転送を実行するためのDMAC2220と、ディスク制御装置の動作をコントロールするマイクロプロセッサ（MP）2230と、DMAC2120とPE2130又はMP2230を接続するセレクトラ2125と、を有している。

【0005】

キャッシュメモリアダプタ2300と制御メモリアダプタ2301は、データ系内部ネットワーク又は制御系内部ネットワークとのパケット転送を実行するためのDLE2310と、各内部ネットワークとのDMA転送を実行するためのDMAC2320と、メモリコントローラ（MC）2330と、メモリモジュール（MM）2340と、DLE2310とDMAC2320を接続するセレクトラ2315と、DMAC2320とMC2330を接続するセレクトラ2325と、を有している。

【0006】

スイッチアダプタ2400は、データ系内部ネットワークとのパケット転送を実行するDLE2410と、データ系内部ネットワークでのDMA転送を実行するDMAC2420と、スイッチの複数のDMAC2420間を接続するためのセレクトラ2430と、を有している。

【0007】

各アダプタ間のデータ転送は、それぞれのアダプタ内のDMACが連携して動作することで実現される。次に、一例として、ホストコンピュータからディスク制御装置内のキャッシュメモリアダプタ2300にデータをDMA転送する場合の動作概要について、図18及び図19を用いて説明する。

【0008】

ホストコンピュータから接続ポート2140を介してWRITEリクエストが発行された場合、MP2230は、WRITEデータを一時的に格納するためのキャッシュメモリアダプタの領域を計算し、その結果をDMAリスト2600としてチャンネルアダプタ内のDMAC2120に通知する。DMAC2120は、DMA転送に必要なキャッシュメモリアダプタまでのパスを確保するためのリクエスト2605を発行する。WRITEデータは、信頼性向上のため、複数のキャッシュメモリアダプタ（DMAC2321と2322をそれぞれに有する2つのキャッシュメモリアダプタ）に格納されるので、複数のパス確保リクエストが発行される。必要なパスが確保できたなら、DMAC2120は、DMAリスト2600にしたがってWRITEデータを、中継ポイントにあるスイッチのDMAC2420に向けて転送する。この際、ホストコンピュータからのWRITEデータは、あらかじめ決められている適当な大きさに分割されて転送される。

【0009】

スイッチアダプタ2400のDMAC2420は、チャンネルアダプタ2100のDMAC2120から送られてきた転送リクエストから、複数のキャッシュメモリアダプタのDMAC2321、2322に対する分割DMAリクエスト2611、2612を生成する。DMAC2321、2322は、リクエスト2611、2612に対して、リクエスト終了報告である分割ステータス2621、2622を返す。チャンネルアダプタのDMAC2120は、分割ステータス2621、2622を確認してから、次の分割DMAリクエストを発行する。すべての分割DMAリクエストに対する分割ステータスが返ってきたら、DMCA2120は、確保したキャッシュメモリアダプタへのパスの開放リクエスト2625を発行し、MP2230に完了ステータス2630を返すことで、DMAリスト2600の処理が完了する。なお、MP2230は、上記のDMA転送中、必要に応じて制御メモリアダプタにアクセスするが、その際、チャンネルアダプタ2100のDMAC2220と制御メモリアダプタ2301のDMAC2320との間で同様のDMA転送が実行される。

【0010】

図17は、上述のDMA転送において使用されるパケットの構造を示している。コマンドパケット2520は、転送先DMACを示すアドレスフィールド2521と、転送元DMACを示すアドレスフィールド2522と、転送データを格納すべきメモリアドレスフィールド2523、2524と、エラーチェックコード2525と、を有している。

【0011】

パス確保リクエスト2605は、コマンドパケット2520を用いて行われる。また、データパケット2530は、転送先DMACを示すアドレスフィールド2531と、転送元DMACを示すアドレスフィールド2532と、転送データ2533と、エラーチェックコード2535と、を有している。分割DMAリクエストはデータパケット2530を用いて実行される。

【0012】

図20は、パスリクエストコマンド2605と分割DMAデータリクエスト2610の転送プロトコルを示している。障害処理を簡易化するために、実行はすべて非多重通信で行われる。すなわち、分割DMAリクエスト2610に対する分割ステータス2620が返送されたのを確認した上で、次の分割DMAリクエスト2610が発行される。

【0013】

ここで、図16～図20を用いて説明した上述の背景技術と同様な技術が、特許文献1及び特許文献2に記載されている。

【特許文献1】特開2003-84919

【特許文献 2】特開平 11-312126 号公報

【発明の開示】

【発明が解決しようとする課題】

【0014】

上述したように、特許文献 1 と 2 に記載されたような従来のディスク制御装置内の DMA 転送では、その実装の容易さから、コネクション型の非多重通信が使われていた。すなわち、DMA C が、DMA 転送を実行する前に必要なパスを確保しておき、DMA 転送中においてはパスを占有していた（コネクション型通信）。さらに、直前の分割 DMA 転送に対する分割ステータスを確認するまでは、次の分割 DMA 転送を実行することができなかった（非多重通信）。

【0015】

そのために、従来のディスク制御装置では、内部ネットワークパスの使用効率が低く、そのことが性能改善の阻害要因となっていた。また、限定されたパス使用効率で必要なパス帯域を確保するという条件を満たすために、データ系内部ネットワークと制御系内部ネットワークをそれぞれ設置するなどの複雑な内部ネットワーク構造が必要となり、コスト高の要因となっていた。

【0016】

本発明の目的は、上記従来技術の課題を改善し、従来と同等の高信頼性を維持しながら、高い転送効率（性能）を実現し、さらに、低コスト化を実現するためのコネクションレス型多重通信を用いたディスク制御装置を提供することにある。

【課題を解決するための手段】

【0017】

前記課題を解決するために、本発明は主として次のような構成を採用する。

ホストコンピュータ又はディスクドライブ装置との接続インターフェースを持つチャネルアダプタと、前記ホストコンピュータと前記ディスクドライブ装置の間で転送されるデータを一時的に格納するメモリアダプタと、前記チャネルアダプタと前記メモリアダプタの動作を制御するプロセッサアダプタと、前記チャネルアダプタ、前記メモリアダプタ、前記プロセッサアダプタの間を互いに接続して内部ネットワークを構成するスイッチアダプタと、を備え、

前記チャネルアダプタ、前記メモリアダプタ、前記プロセッサアダプタ、及び前記スイッチアダプタは、前記内部ネットワークの通信プロトコル制御を行う DMA コントローラを有し、

各アダプタに設けられた前記 DMA コントローラの間でパケット多重通信を行う構成とする。

【発明の効果】

【0018】

本発明によれば、コネクションレス型多重通信を適用することによって、1つの分割 DMA 転送の中だけでなく（後述するが、図 11 に示す分割 DMA と分割ステータスの転送状況）、複数の DMA 転送の間でも（図 11 に示す分割 DMA 615 と分割 DMA 616 の交互の転送状況）、多重化することが可能となり、パス利用効率が飛躍的に改善されて、従来は別々に設置していた制御系内部ネットワークとデータ系内部ネットワークを別設する必然性がなくなる。そのため、キャッシュメモリアダプタと制御メモリアダプタを統合してメモリアダプタとし、さらに、パス利用効率の改善によってパス使用制限が緩和されるのでチャネルアダプタ内のプロセッサをプロセッサアダプタとしてチャネルアダプタから独立させることが可能となる。これにより、高性能で、拡張性にすぐれ、低コストなディスク制御装置を構成することが可能となる。

【発明を実施するための最良の形態】

【0019】

本発明の実施形態に係るディスク制御装置について、図 1 ～図 15 を参照しながら以下詳細に説明する。

【0020】

図1は、本発明の実施形態に係るディスク制御装置の全体構成を示す図である。本実施形態に係るディスク制御装置は、ホストコンピュータ又はディスクドライブ装置との接続インターフェース140を持つチャンネルアダプタ100と、ホストコンピュータとディスクドライブ装置の間で転送されるデータを一時的に格納するメモリアダプタ300と、チャンネルアダプタ100及びメモリアダプタ300の動作を制御するプロセッサアダプタ200と、チャンネルアダプタ100、メモリアダプタ300、プロセッサアダプタ200の間を接続して内部ネットワークを構成するためのスイッチアダプタ400と、を備えている。

【0021】

また、チャンネルアダプタ100、プロセッサアダプタ200、メモリアダプタ300、スイッチアダプタ400が、内部ネットワークの通信プロトコル制御を行うDMAコントローラ(DMAC)120、220、320、420をそれぞれ有している。各DMACは、データリンクエンジン(DLE)110、210、310、410を介して、DMA転送を実行する。これらのDMAコントローラ間では、図11に示すコネクションレス型パケット多重通信が行われる。

【0022】

図11は本発明の実施形態にディスク制御装置に用いられる多重通信転送プロトコルを示す図である。図11において、或る分割DMAリクエストに対する分割ステータスの確認を待たずに、次の分割DMAリクエストが発行されている(多重通信、すなわち、1つの分割DMA転送の中での多重通信)。さらに、DMA1とDMA2の間のDMA転送とDMA3とDMA4との間のDMA転送が同じDLE1-DLE2間のパスを共有して行われている(コネクションレス型通信)。図11の例示で云うと、分割DMA615と分割DMA616がDLE1-DLE2間のパスを共有して交互に転送されて多重通信を行っている。そして、後述する図8の説明で明らかになるように、宛先とデータと分割DMAリクエストの順序制御を行う情報(TASK ID)を含んだパケット構造を採用することによって、上述したコネクションレス型の多重通信を行うことが可能となるのである。

【0023】

図1及び図11に示す構成例によれば、コネクションレス型多重通信を適用することによって、1つの分割DMA転送の中だけでなく、複数のDMA転送の間でも多重化することが可能となり、バス利用効率が飛躍的に改善されて(バスに時間間隔を空けることなくデータ転送できるのでバス効率が向上する)、従来技術で設けられていた制御系内部ネットワークとデータ系内部ネットワークを別設する必然性がなくなる。そのため、キャッシュメモリアダプタと制御メモリアダプタを統合してメモリアダプタとし、さらに、バスの利用制限が緩和されたことによってプロセッサをプロセッサアダプタとしてチャンネルアダプタから独立させることが可能となる。これにより、より拡張性、柔軟性にすぐれた低コストのディスク制御装置を構成することが可能となる。

【0024】

次に、図5は本発明の実施形態に係るディスク制御装置におけるプロセッサアダプタの具体的構成例を示す図であり、図2はプロセッサアダプタに用いられるデータリンクエンジンの具体的構成例を示す図である。なお、図2のデータリンクエンジン(DLE)はプロセッサアダプタに限らず、他のアダプタにも使用される構成例である。

【0025】

図5に示すプロセッサアダプタ200は、マイクロプロセッサ(MP)230と複数のDMAコントローラ220と1つ以上のデータリンクエンジン(DLE)210とを有し、MP230とDMAC220の間がセクタ225によって接続され、複数のDMAコントローラ220がセクタ215を通してDLE210を共有している。すなわち、DLEの数よりもDMACの数の方がはるかに多いのが通常である。

【0026】

複数のDMAコントローラ220からのリクエストはセクタ215内のDMAC調停回路2150によって調停されることで、同じDLE210を介して複数のDMACからのDMA転送を同時に実行すること（コネクションレス通信）が可能となっている。DLE210からの受信データは、DLE調停回路2155によって、目的のDMAC220に分配される。

【0027】

図2において、DLEは、送信ポート1101と送信バッファ1102と受信ポート1105と受信バッファ1106と再送論理回路1110と再送バッファ1120とから構成されている。再送バッファと再送論理回路は、データリンクでのエラーフリー転送を実現するための処理を実行する。すなわち、送信バッファから送信ポートを通して送出されたパケットは、再送論理回路1110によって再送バッファ1120に格納される。受信ポートには、当該パケットが正しく届いたかどうかのステータスが返送され、エラーが報告された場合、再送論理回路により再送バッファからパケットの再送が行われる。図2に示すDLE構成により、パケット単位のデータリンクエラー制御が可能となり、多重通信を実現することができる。

【0028】

図5及び図2に示す構成例によれば、コネクションレス型の多重通信が可能となり、高性能で、より柔軟かつ単純な低コストのディスク制御装置を実現することができる。

【0029】

次に、図4は本発明の実施形態に係るディスク制御装置におけるチャネルアダプタの具体的構成例を示す図であり、図3はチャネルアダプタに用いられるDMAコントローラの具体的構成例を示す図である。なお、図3のDMAコントローラ（DMAC）はチャネルアダプタに限らず、他のアダプタにも使用される構成例である。

【0030】

図4に示すチャネルアダプタは、プロトコルエンジン130と、DMAC120と、DLE110と、を備え、PE130とDMAC120がセクタ125を通して接続され、DMAC120とDLE110がセクタ115を介して接続されている。DMAコントローラ120が、複数（VC0、VC1）の受信FIFOバッファと複数（VC0、VC1）の送信FIFOバッファを持っている。

【0031】

図3に示すDMAコントローラ120は、マルチプレクサ1201と、送信FIFOバッファ1202と、デマルチプレクサ1205と、受信FIFOバッファ1206と、トランザクション論理回路1210と、シーケンス管理テーブル1220と、パケット生成論理回路1230と、パケット分解論理回路1240と、から構成されている。複数の送信FIFOバッファ1202の間で送信データ間の競合が調停回路1212により調停されマルチプレクサ1201によって選択される。

【0032】

同様に、受信データは、調停回路1212の制御によるデマルチプレクサ1205の選択動作によって、複数の受信FIFOバッファ1206の中の適当なFIFOに格納される。パケット生成論理回路1230とパケット分解論理回路1240は、パケットの生成と分解を行うための論理回路である。シーケンス制御論理回路1213とシーケンス管理テーブル1220は、分割DMAのDMAシーケンスを管理するための論理回路であり、その動作については後述する。

【0033】

図4及び図3に示す構成例によれば、1つのDLEに対して、複数（VC0、VC1）のバッファを対応させることができ、例えば、制御系内部ネットワークとデータ系内部ネットワークを1つのDLEに混在させることができる（例として、VC0はデータ系内部ネットワーク用、VC1は制御系ネットワーク用）。さらに、調停回路1212の動作により、複数のバッファ間に優先度を設けることができ、例えば、制御系内部ネットワークをデータ系内部ネットワークより優先させることにより、両者の混在による制御系内部ネ

ットワークのアクセス遅延時間増大を回避することができる。すなわち、本構成例により、より単純な内部ネットワーク構成のディスク制御装置を実現することが可能となり、性能改善と低コスト化の両立を実現することができる。

【0034】

次に、図6は本発明の実施形態に係るディスク制御装置におけるメモリアダプタの具体的構成例を示す図である。図6に示すメモリアダプタは、メモリモジュール(MM)340と、メモリコントローラ(MC)330と、DMAC320と、DLE310と、を備え、MC330とDMAC320がセクタ325を通して接続され、DMAC320とDLE310がセクタ315を介して接続されている。DMAコントローラ(DMAC)320が、それぞれ受信FIFOバッファ(VC0またはVC1)と送信FIFOバッファ(VC0またはVC1)を持っている。複数の送信FIFOバッファVC0の間及び複数の送信FIFOバッファVC1の間で送信データ間の競合が調停されて、DLE310にデータが送信される。同様に、複数の受信FIFOバッファVC0の間及び複数の受信FIFOバッファVC1の間で受信データ間の経路調停がなされて、適当な受信FIFOにデータが格納される。

【0035】

また、DMAC320とMC330との間は、調停回路3250と調停回路3255によって、競合条件が調停される。これにより、1つのMCを複数のDMACで共有することができ、調停回路の機能として、DMAC間での優先度制御を実現することも可能となる。これにより、例えば、制御系内部ネットワーク用のDMACとデータ系内部ネットワーク用のDMACを設けて、制御系内部ネットワーク用のDMACを優先させることにより、制御系内部ネットワークのアクセスがデータ系内部ネットワークの動作に干渉される影響を抑制することが可能となる。

【0036】

図6に示す構成例によると、1つのDLEに対して、複数のDMACを対応させることができ、例えば、制御系内部ネットワークとデータ系内部ネットワークを1つのDLEに混在させることができる。また、1つのMCに対して、複数のDMACを対応させることができ、制御系メモリとデータ系メモリを混在させることが可能となる。すなわち、本構成例により、より単純な内部ネットワーク構成のディスク制御装置を実現することが可能となり、性能改善と低コスト化の両立を実現することができる。

【0037】

次に、図8は本発明の実施形態に係るディスク制御装置内の複数のDMAコントローラ間で転送されるパケットの具体的構成例を示す図である。図8に示すパケット500は、転送先のDMAコントローラを指定するアドレスフィールド511と、転送元DMAコントローラを指定するアドレスフィールド521と、1つのDMA転送を複数のパケットに分割して転送する際の転送順序を管理するためのDMAシーケンスフィールド524と、を少なくとも備えている。

【0038】

本発明の実施形態に係るディスク制御装置においては、コネクションレス型の多重通信によるDMA転送が行われるため、DMAの転送順序を保証し、エラーチェックや、障害処理を適切に行う必要がある。そのための手段として、パケットを確実に特定することができるようにDMAシーケンスフィールドを設け、このフィールドを、1つのDMA転送内においてユニークになる(識別できる)ように(好ましくは、シーケンシャルにインクリメント)制御する。

【0039】

図8に示すパケット構成例によれば、コネクションレス型の多重通信によるDMA転送においても、適切な順序保証とそのチェックを行うことができ、また、障害発生時にも適切な障害処理を実施することが可能となる。すなわち、本構成例により、従来と同等の高信頼ディスク制御装置を実現することが可能となる。

【0040】

また、図8に示したパケット500は、パケットの中継DMAコントローラを指定する第1のアドレス511と、宛先DMAコントローラを指定する第2のアドレス522及び第3のアドレス523と、宛先DMAコントローラに転送すべき転送データ531と、を備えている。チャネルアダプタ100からメモリアダプタ300へのWRITEリクエストの際は、第1のアドレスとしてスイッチアダプタのDMAC420が、第2及び第3のアドレスとしてメモリアダプタのDMAC320が指定される。複数のメモリアダプタのアドレスを指定するのは、信頼性向上を目指して、キャッシュメモリに対し2重WRITEを実施するためである。

【0041】

このようなパケット構成によって、2重WRITEを含んだDMA転送機能を、コネクションレス型の多重通信に適用することが可能となり、高信頼のディスク制御装置を実現することができる。

【0042】

さらに、図8に示したパケット500は、DLEに対する制御情報を含んだルーティングヘッダ510と、DMAコントローラに対する制御情報を含んだコマンドヘッダ520と、それ以外のデータを含んだデータブロック530と、から構成され、ルーティングヘッダ510は、当該ルーティングヘッダ内の転送エラーを保証するためのルーティングヘッダエラーチェックコード515を有し、コマンドヘッダ520は、当該コマンドヘッダ内の転送エラーを保証するためのコマンドヘッダエラーチェックコード525を含み、データブロック530は、当該データブロック内の転送エラーを保証するためのデータブロックエラーチェックコード535を含んでいる。

【0043】

このようなパケット構成によって、ルーティング制御情報と、DMAC制御情報と、データ情報を別々のエラーチェックコードで保護することが可能となり、より細かなDMA転送制御と障害回復処理が行える。とくに、スイッチアダプタ経由の2重WRITE時などルーティング制御情報の書き換えが必要となる場合でも、エラーチェックコード再計算の範囲を最小限に限定することが可能となり、高信頼かつ高性能なディスク制御装置を実現することができる。

【0044】

次に、図9は本発明の実施形態に係るディスク制御装置に用いられるパケットのフローを示す図であり、図10は本発明の実施形態に係るディスク制御装置に用いられるプロトコルを示す図である。図9及び図10の例示では、チャネルアダプタのDMAC120からスイッチアダプタのDMAC420に分割DMAリクエスト610を発行している。すなわち、分割DMAリクエスト610のパケットには、転送元アドレスフィールド521として、マスターDMAであるチャネルアダプタDMAC120が指定され、転送先アドレスフィールド511としては、スイッチアダプタDMAC420が指定されている。

【0045】

DMAコントローラ420は、DMAコントローラ120に、分割DMA転送リクエスト610に対応した分割終了ステータス621、622を返送する。分割終了ステータス621、622には、分割DMA転送リクエスト610に含まれていたDMAシーケンスフィールド524の情報が含まれており、DMAコントローラ120は、そのDMAシーケンスフィールドの情報を確認することで、分割DMA転送の転送順序の確認を行う。

【0046】

図12は、本発明の実施形態に係るディスク制御装置に用いられる分割DMA送信時のDMAシーケンスフィールド更新フローを示す図であり、図13は本発明の実施形態に係るディスク制御装置に用いられる分割ステータス受信時のDMAシーケンスフィールド確認フローを示す図である。各DMACは、現在のDMAシーケンスフィールドの値を変数CURR_DMA_SEQに保持している。分割DMA送信時には、CURR_DMA_SEQをインクリメントしながら、各転送パケットのDMAシーケンスフィールド524に挿入する。また、各DMACは、次に戻ってくるべき分割DMAステータスの値を変数

NEXT_DMA_SEQに保持している。分割DMAステータスが戻ってきたなら、そのDMAシーケンスの値を期待値と比較し、一致したならNEXT_DMA_SEQをインクリメントする。不一致の場合は、現在しかかり中の分割DMA転送リクエスト(NEXT_DMA_SEQからCURR_DMA_SEQまで)をキャンセルした後、プロセッサに障害通知を行う。

【0047】

図9及び図10、図12及び図13に示す構成例によれば、分割DMA転送においても、DMAシーケンスフィールド524を用いて確実にDMA毎の転送順序の制御を行うことが可能となる。すなわち、本構成例によって、コネクションレス型の多重通信で、高信頼のディスク制御装置を実現することができる。

【0048】

また、図9及び図10には、本発明の実施形態に係るディスク制御装置に用いられる2重WRITEのパケットフロー(プロトコル)を示してある。本構成例では、チャンネルアダプタDMAC120からスイッチアダプタDMAC420を介してメモリアダプタのDMAC321、322に分割DMAリクエスト611、612を発行している。すなわち、分割DMAリクエスト610のパケットには、転送元アドレスフィールド521としてチャンネルアダプタDMAC120が指定され、転送先アドレスフィールド511としてスイッチアダプタDMAC420が指定され、宛先フィールドとしてメモリアダプタDMAC321、322が指定され、データブロック(フィールド)531には、転送データが格納されている。

【0049】

スイッチアダプタ内のDMAコントローラ420で、DMAC321を転送先アドレスフィールドに持ち、転送データ531を含んだ分割DMAリクエストパケット611と、DMAC322を転送先アドレスフィールドに持ち、転送データ531を含んだ分割DMAリクエストパケット612が生成され、それぞれの転送先アドレスにたいして転送が行われる。メモリアダプタのDMAC321、322では、分割DMAリクエスト611、612に対して、スイッチアダプタDMAC420を介してチャンネルアダプタDMAC120に対し分割ステータス621、622を返送する。

【0050】

図9及び図10の上述した構成例により、スイッチアダプタのDMACによるキャッシュメモリ2重WRITEが実現できる。メモリアダプタ300に近接したスイッチアダプタ400のDMAC420で2重WRITEのためのパケットを生成するので、内部ネットワーク内の帯域を浪費することがなく、パス効率を向上させることができる。すなわち、本構成例により、高性能かつ高信頼なディスク制御装置を実現することが可能となる。

【0051】

次に、図7は、本発明の実施形態に係るディスク制御装置におけるスイッチアダプタの具体的構成例を示す図である。図7に示すスイッチアダプタは、複数のDLE410と複数のDMAC420とセレクタ430とを備えている。受信側DLE410から受信されたパケットは、受信側DMAC420の中で複数の受信FIFOバッファ(VC0, VC1)に分けて格納された後、送信FIFOバッファ間毎に存在するセレクタ論理回路4301、4302、4306、4307を通して、送信側DMAC420内の送信FIFOに送られ、送信側DLE410から送出される。

【0052】

図7に示す構成例では、図8に示すルーティング制御情報、DMAC制御情報及びデータ情報を有するパケットと同様に、複数のDMAコントローラ間で転送されるパケットが、パケット制御情報を介して、宛先のDMAC情報を含んだヘッダ部と、それ以外のデータを含んだデータ部とから構成されており、ヘッダ部は、当該ヘッダ部内の転送エラーを保証するためのヘッダ部エラーチェックコードを含み、データ部は、当該データ部内の転送エラーを保証するためのデータ部エラーチェックコードを含んでいる。

【0053】

スイッチアダプタ内の受信側DMAコントローラ420は、ヘッダ部エラーチェックコードを確認するまでは、パケットを送信側DMACに送らない。ヘッダ部エラーチェックコードを確認した後、パケットのヘッダ部とデータ部が、送信側DMACに対してパイプライン処理的に送られる。また、ヘッダ部エラーチェックコードでエラーが見つかった場合は、そのパケットを破棄し、しかるべきエラー処理を実行する。

【0054】

図7に示す構成例により、スイッチアダプタは、受信DLEからすべてのデータ部を取り込んで、データ部エラーチェックコードを確認する前に、送信DLEからの送信処理を始める事ができるとともに、ヘッダ部にエラーが生じて宛先の不正となったパケットに対しては、パケット転送を破棄することによってエラーの伝播を抑制することが可能となる。すなわち、本構成例により、高性能かつ高信頼なディスク制御装置を実現することが可能となる。

【0055】

また、図4に示すチャネルアダプタ、図5に示すプロセッサアダプタのように、本発明の実施形態に係るディスク制御装置に用いられるアダプタでは、複数のDMACが複数のDLEを共有する構成をとっている。図4のチャネルアダプタを例にすると、DLEが2個でDMACが16個設けられて、各DMACが数の少ないDLEを共有するという状況が考えられる。この冗長構成により、例えば、DMACが或るDLEを介してDMA通信していた際に当該DLEに障害が発生した場合でも、DMAC調停回路1150（図4参照）または2150（図5参照）で経路制御することにより、別のDLEと接続し直すことが可能となる。同様に、複数のDMACの処理を、DMAC調停回路1150または2150で経路制御することにより、複数のDLE間に割り振って、負荷分散を実現することも可能となる。

【0056】

ただし、本構成例の調停回路1150及び2150は、同じDMACからの一連の分割DMAリクエストと分割ステータスについては、同じDLEから送受信するように制御する。より好ましくは、同じDMACからのリクエストとステータスについては、通常動作の送受信DLEを固定する。

【0057】

図4と図5に示すような構成例により、一連の分割DMAリクエストと分割ステータスの内部ネットワーク経路が固定され、経路の相違による順序の入れ替え（追い越し）の可能性がなくなり、分割DMAリクエストと分割ステータスの順序制御を著しく容易にする。すなわち、本構成例によって、高信頼なディスク制御装置を容易に実現することが可能となる。

【0058】

次に、図14は本発明の他の実施形態に係るディスク制御装置の全体構成を示す図である。図14に示す本発明の他の実施形態では、複数のチャネルアダプタ100と複数のプロセッサアダプタ200と複数のメモリアダプタ300とが、複数のスイッチアダプタ400によって接続されている。すべてのアダプタ間に複数のパスを設けることにより、任意の一点障害を救済できる冗長性を実現することができる。各アダプタの接続態様は図14に図示する通りであり、それぞれのアダプタは、対応している2つのアダプタに対してそれぞれのパスを設けている。

【0059】

本発明の他の実施形態によって、ディスク制御装置のシステムとしての冗長性を高めることで、信頼性を向上させることが可能となる。

【0060】

さらに、図15は本発明の更に他の実施形態に係るディスク制御装置の全体構成を示す図である。図15に示す本発明の更に他の実施形態では、図14に示す本発明の他の実施形態に係るディスク制御装置2つを、そのスイッチアダプタの拡張ポート同士を接続させ

ることにより、ディスク制御装置全体として拡張した構成をとる。この接続態様により、チャンネルアダプタ、プロセッサアダプタ、メモリアダプタを増設することができ、同一のアーキテクチャでシステムのスケラビリティを向上させている。すなわち、本発明の更に他の実施形態により、ディスク制御装置のスケラビリティを改善することが可能となる。

【0061】

以上説明したように、図1～図15に図示するような本発明の実施形態に係るディスク制御装置を採用すると、次に示すような機能や効果を奏させることが可能となる。すなわち、本実施形態によれば、1つのDLEに対して、複数のバッファを対応させることができ、例えば、制御系内部ネットワークとデータ系内部ネットワークを1つのDLEに混在させることができる。さらに、調停回路の動作により、複数のバッファ間に優先度を設けることができ、例えば、制御系内部ネットワークをデータ系内部ネットワークより優先させることにより、両者の混在による制御系内部ネットワークのアクセス遅延時間増大を回避することができる。これにより、より単純な内部ネットワーク構成のディスク制御装置を実現することが可能となり、性能改善と低コスト化の両立を実現することができる。

【0062】

また、本実施形態によれば、1つのDLEに対して、複数のDMACを対応させることができ、例えば、制御系内部ネットワークとデータ系内部ネットワークを1つのDLEに混在させることができる。また、1つのMCに対して、複数のDMACを対応させることができ、制御系メモリとデータ系メモリを混在させることが可能となる。これにより、より単純な内部ネットワーク構成のディスク制御装置を実現することが可能となり、性能改善と低コスト化の両立を実現することができる。

【0063】

また、本実施形態によれば、コネクションレス型の多重通信によるDMA転送においても、適切な順序保証とそのチェックを行うことができ、また、障害発生時にも適切な障害処理を実施することが可能で、従来と同等の高信頼ディスク制御装置を実現することができる。また、本実施形態によれば、ルーティング制御情報と、DMAC制御情報と、データ情報を別々のエラーチェックコードで保護することが可能となり、より細かなDMA転送制御と障害回復処理が行える。特に、スイッチアダプタ経由の2重WRITE時などルーティング制御情報の書き換えが必要となる場合でも、エラーチェックコード再計算の範囲を最小限に限定することが可能となり、高信頼かつ高性能なディスク制御装置を実現することができる。

【0064】

また、本実施形態によれば、スイッチアダプタのDMACによるキャッシュメモリ2重WRITEが実現できる。キャッシュメモリアダプタに近接したスイッチアダプタのDMACで2重WRITEのためのパケットを生成するので、内部ネットワーク内の帯域を浪費することがなく、パス効率を向上させることができる。

【0065】

また、本実施形態によれば、スイッチアダプタは、受信DLEからすべてのデータ部を取り込んでデータ部エラーチェックコードを確認する前に、送信DLEからの送信処理を始めることができるとともに、ヘッダ部にエラーが生じて宛先の不正となったパケットに対しては、パケット転送を破棄することによってエラーの伝播を抑制することが可能となる。また、本実施形態によれば、一連の分割DMAリクエストと分割ステータスの内部ネットワーク経路が固定され、経路の相違による順序の入れ替え（追い越し）の可能性がなくなり、分割DMAリクエストと分割ステータスの順序制御を著しく容易にする。

【0066】

また、本実施形態によれば、ディスク制御装置のシステムとして冗長性を持たせることで、信頼性を向上させることが可能となる。また、本実施形態によれば、ディスク制御装置のスケラビリティを改善することが可能となる。

【図面の簡単な説明】

【0067】

【図1】本発明の実施形態に係るディスク制御装置の全体構成を示す図である。

【図2】本実施形態に係るディスク制御装置における各アダプタに用いられるデータリンクエンジンの具体的構成例を示す図である。

【図3】本実施形態に係るディスク制御装置における各アダプタに用いられるDMAコントローラの具体的構成例を示す図である。

【図4】本実施形態に係るディスク制御装置におけるチャンネルアダプタの構成を示す図である。

【図5】本実施形態に係るディスク制御装置におけるプロセッサアダプタの構成を示す図である。

【図6】本実施形態に係るディスク制御装置におけるメモリアダプタの構成を示す図である。

【図7】本実施形態に係るディスク制御装置におけるスイッチアダプタの構成例を示す図である。

【図8】本実施形態に係るディスク制御装置に用いられるパケットの構成を示す図である。

【図9】本実施形態に係るディスク制御装置に用いられるパケットフローを示す図である。

【図10】本実施形態に係るディスク制御装置に用いられるプロトコルを示す図である。

【図11】本実施形態に係るディスク制御装置に用いられる多重通信転送プロトコルを示す図である。

【図12】本実施形態に係るディスク制御装置に用いられる分割DMA送信時のDMAシーケンスフィールド更新フローを示す図である。

【図13】本実施形態に係るディスク制御装置に用いられる分割ステータス受信時のDMAシーケンスフィールド確認フローを示す図である。

【図14】本発明の他の実施形態に係るディスク制御装置の全体構成を示す図である。

【図15】本発明の更に他の実施形態に係るディスク制御装置の全体構成を示す図である。

【図16】従来のディスク制御装置の全体構成を示す図である。

【図17】従来のディスク制御装置に用いられるパケットの構成を示す図である。

【図18】従来のディスク制御装置に用いられるパケットフローを示す図である。

【図19】従来のディスク制御装置に用いられるプロトコルを示す図である。

【図20】従来のディスク制御装置に用いられる非多重通信転送プロトコルを示す図である。

【符号の説明】

【0068】

- 100 チャンネルアダプタ
- 110, 210, 310, 410 データリンクエンジン
- 115, 125, 215, 225, 315, 325, 430 セレクタ
- 120, 220, 320, 321, 322, 420 DMAコントローラ
- 130 プロトコルエンジン
- 200 プロセッサアダプタ
- 230 マイクロプロセッサ
- 300 メモリアダプタ
- 330 メモリコントローラ
- 340 メモリモジュール
- 400 スwitchアダプタ
- 500 転送パケット

5 1 0 ルーティングヘッダ部
5 1 1 転送先アドレスフィールド
5 2 0 コマンドヘッダ部
5 2 1 転送元アドレスフィールド
5 2 2, 5 2 3 DMA宛先アドレス
5 2 4 DMAシーケンスフィールド
5 3 0 データブロック部
6 0 0 DMAリスト
6 1 0, 6 1 1, 6 1 2, 6 1 5, 6 1 6 分割DMAリクエスト
6 2 1, 6 2 2, 6 2 5, 6 2 6 分割ステータス
6 3 0 完了ステータス

【書類名】 図面
【図 1】

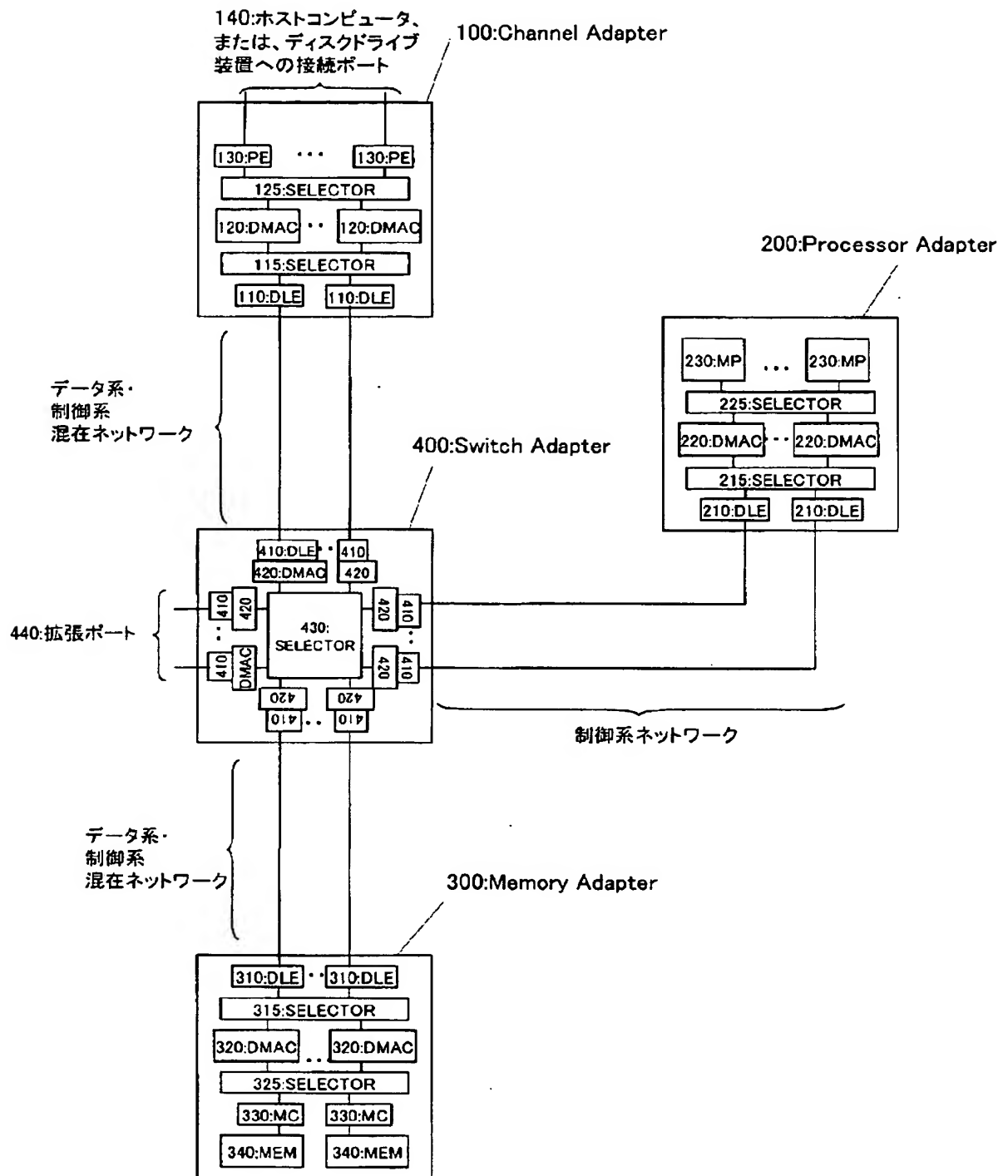


図1 本発明のディスク制御装置

【図 2】

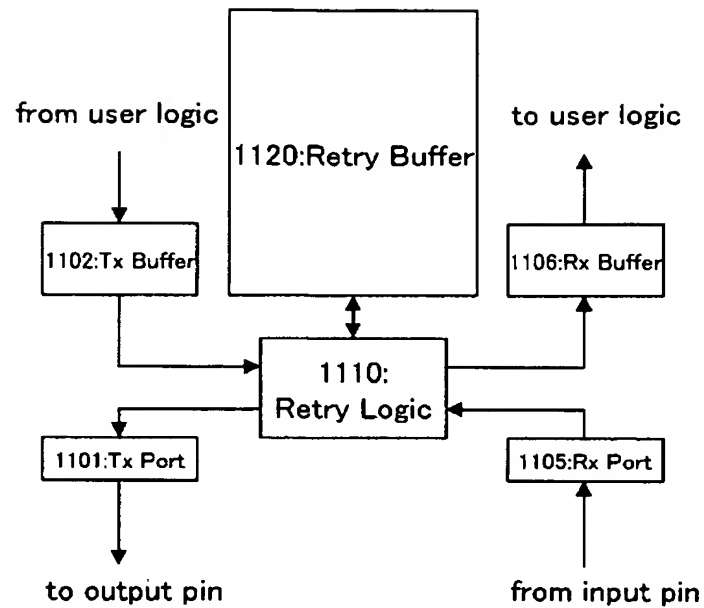


図2 本発明で使用するDLEの構造

【図 3】

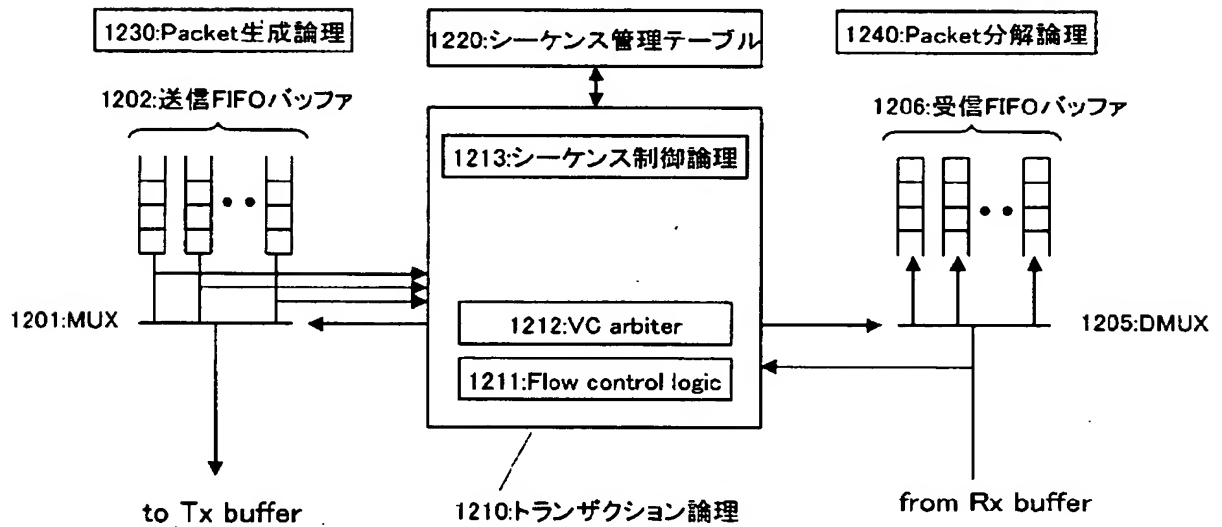


図3 本発明で使用するDMACの構造

【図 4】

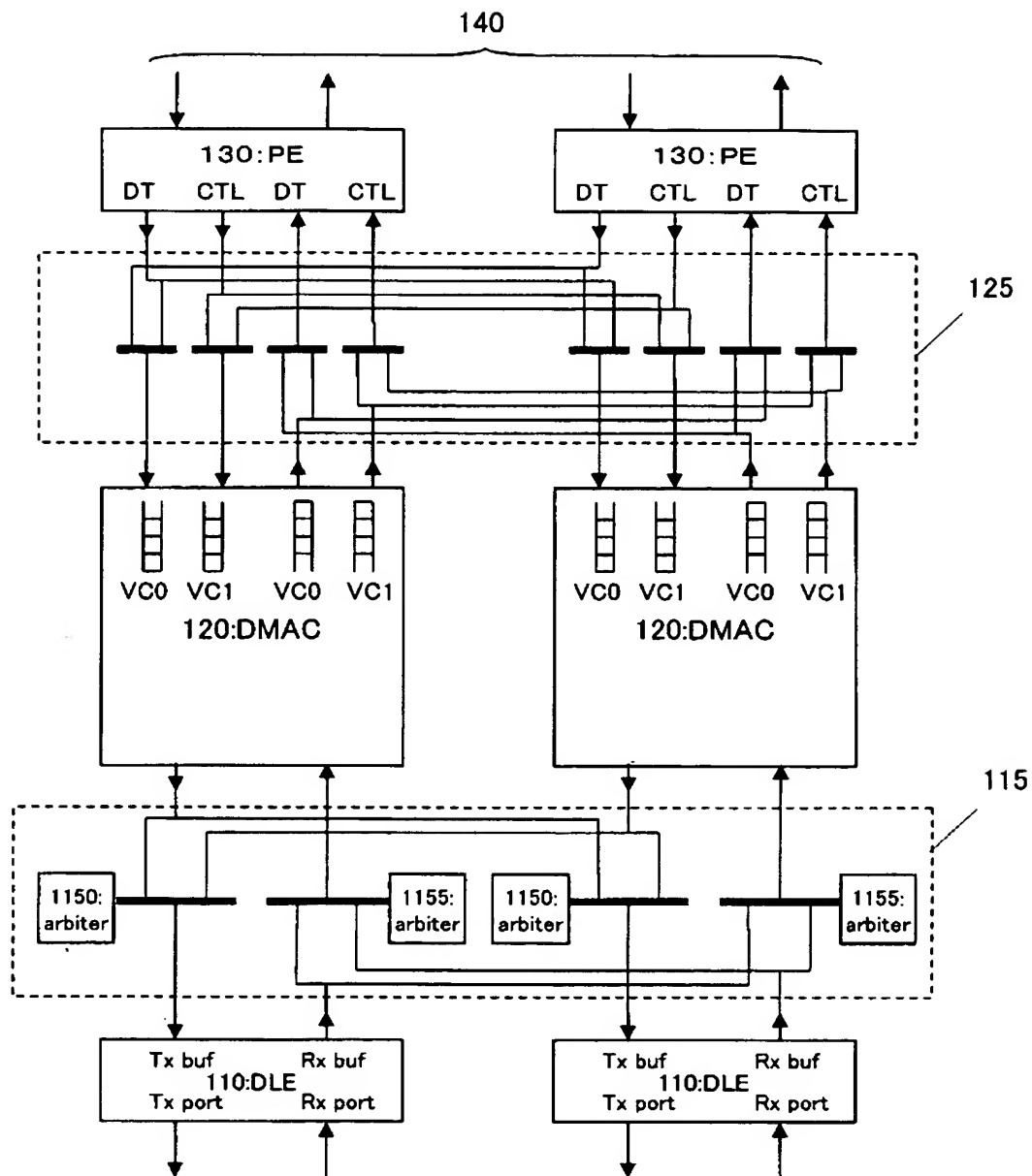


図4 本発明で使用するチャネルアダプタの構造

【図 5】

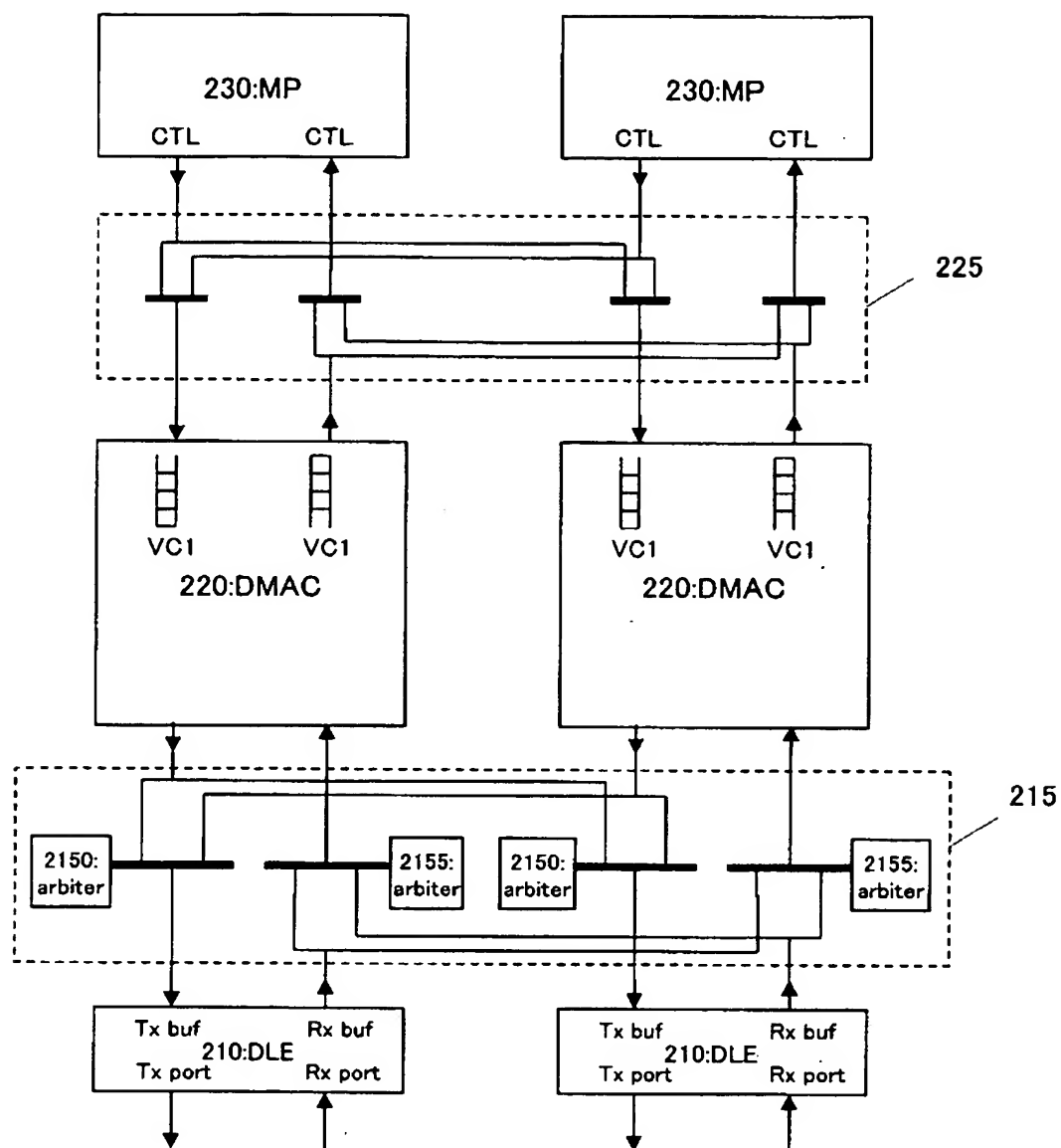


図5 本発明で使用するプロセッサアダプタの構造

【図 6】

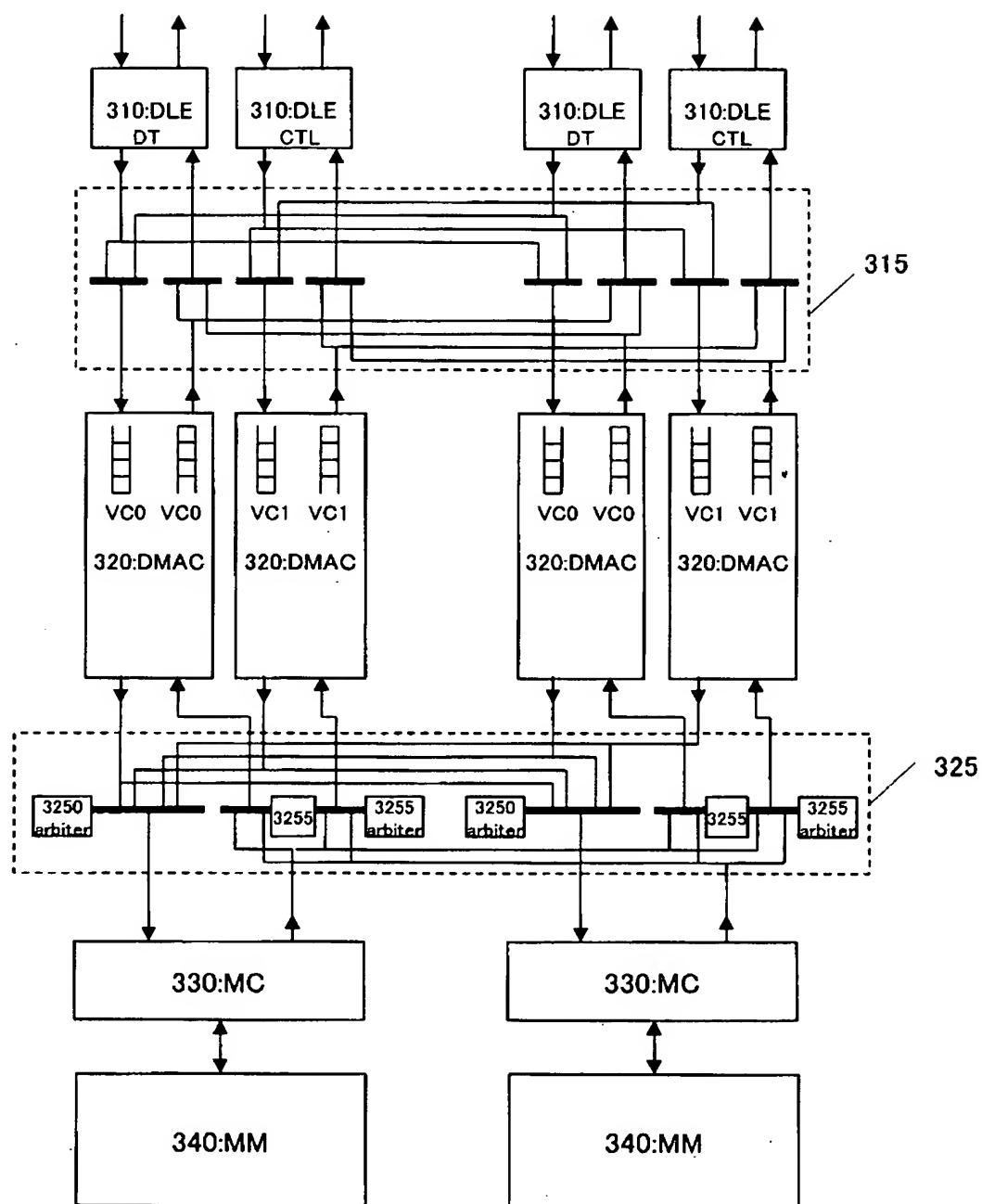


図6 本発明で使用するメモリアダプタの構造

【図 7】

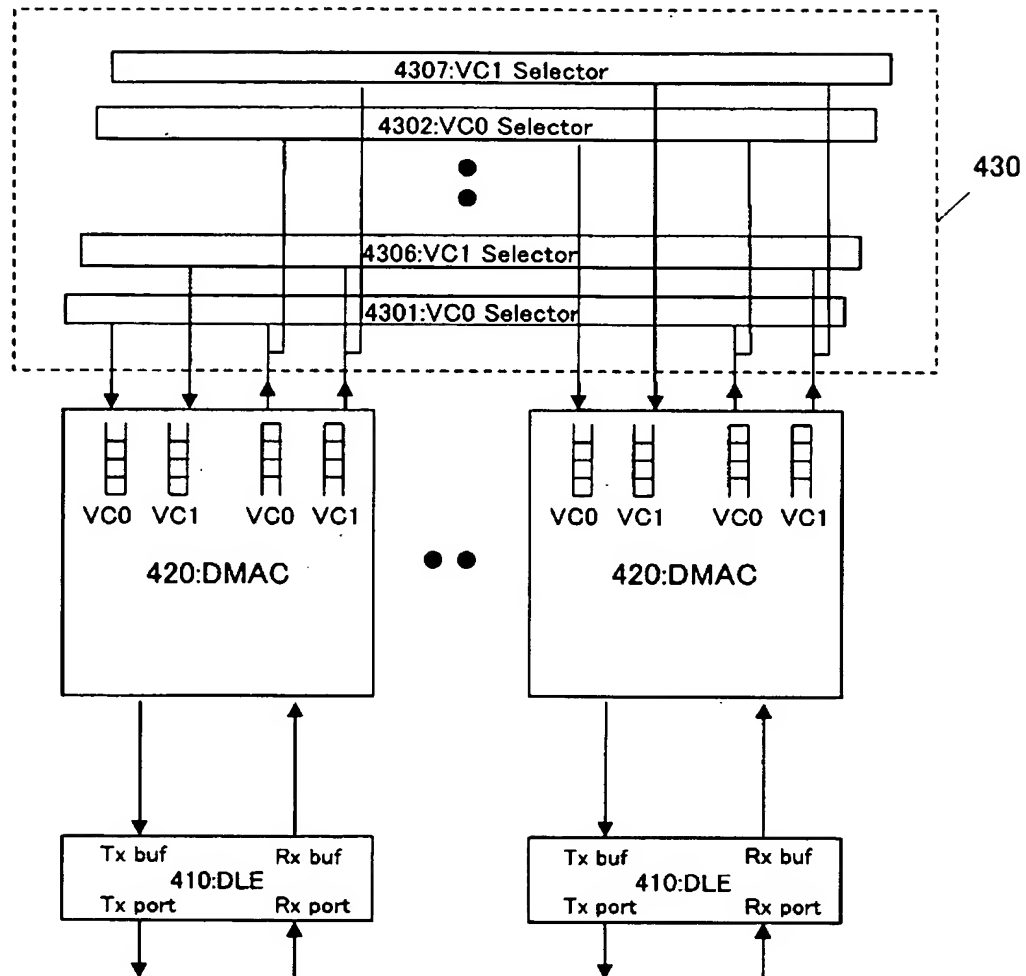


図7 本発明で使用するスイッチアダプタの構造

【図 8】

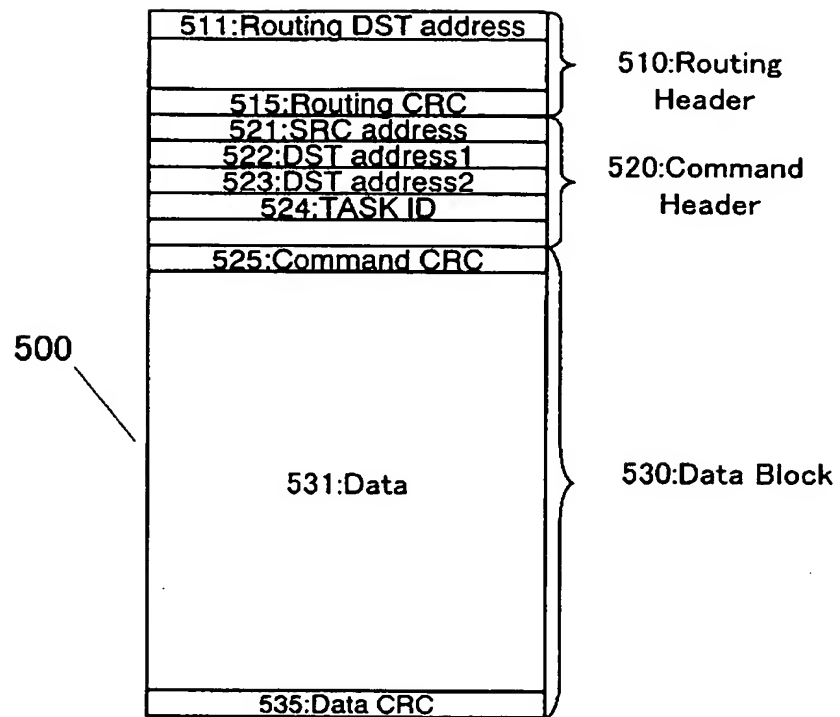


図8. 本発明で使用するパケット構造

【図 9】

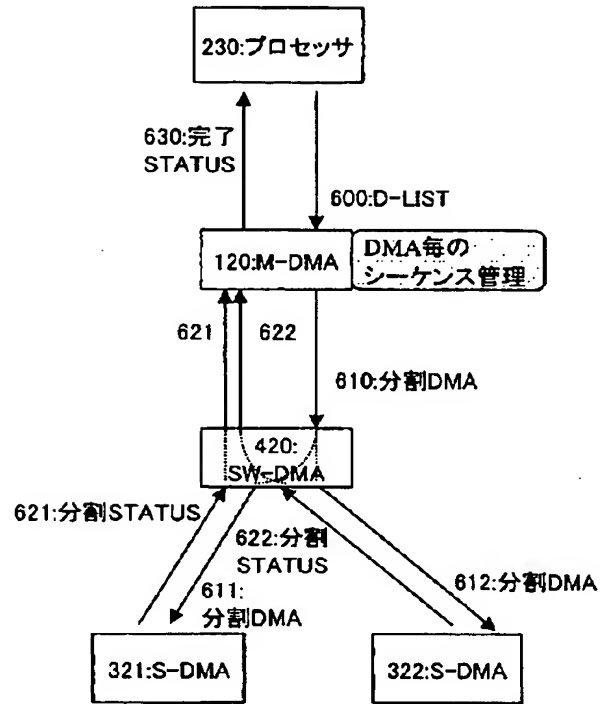


図9. 本発明で使用するパケットフロー

【図 10】

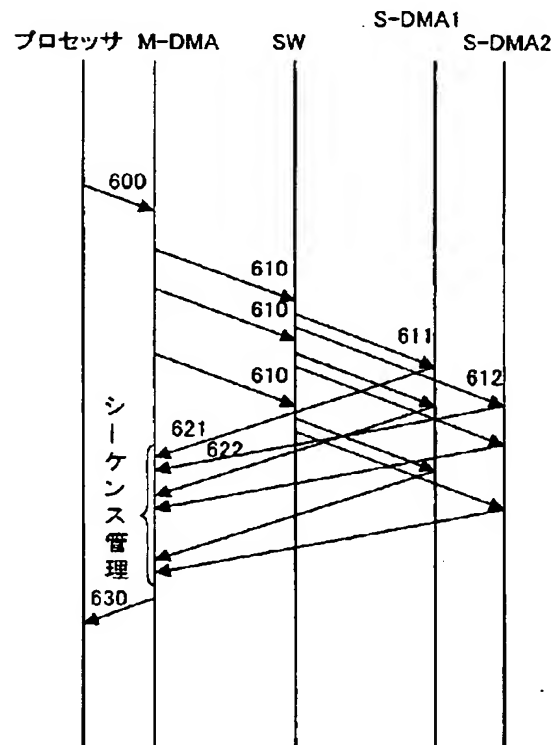


図10. 本発明で使用するプロトコル

【図 11】

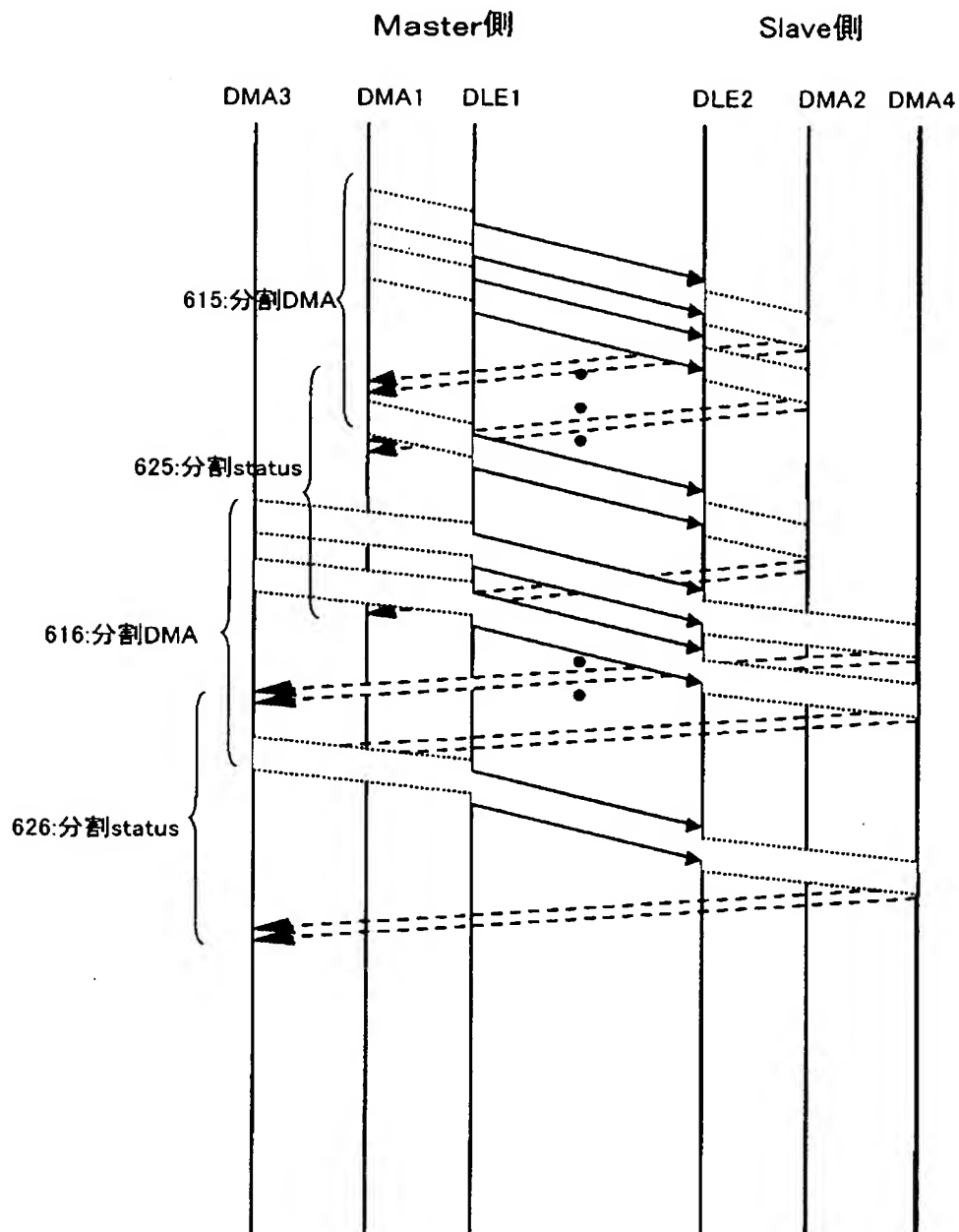


図11. 多重通信転送プロトコル

【図 12】

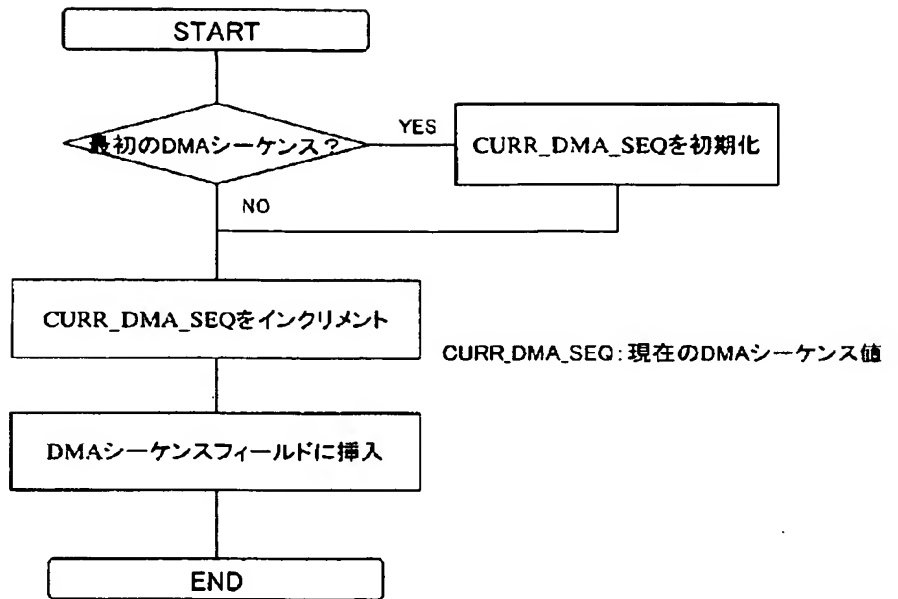


図12 分割DMA送信時のDMAシーケンスフィールド更新フロー

【図 13】

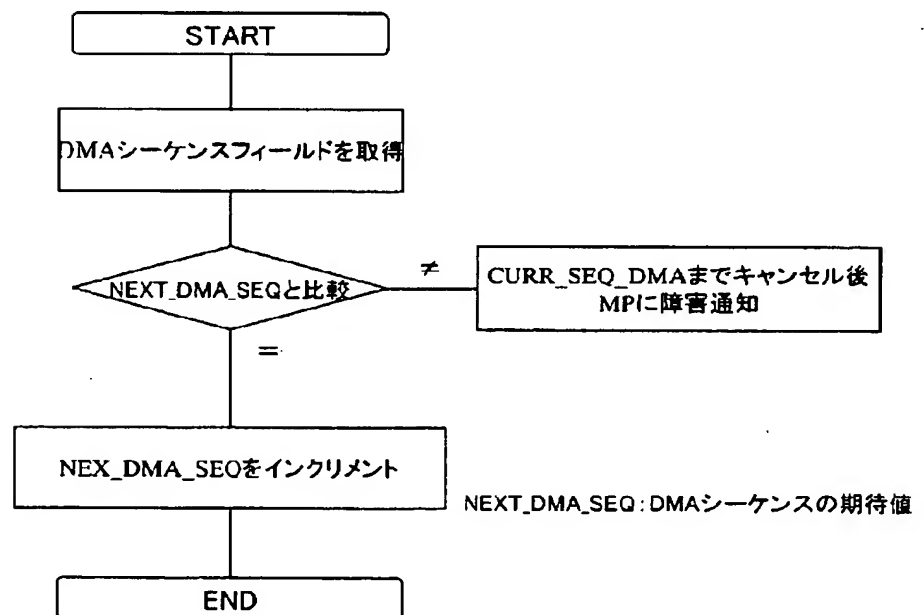


図13 分割ステータス受信時のDMAシーケンスフィールド確認フロー

【図 14】

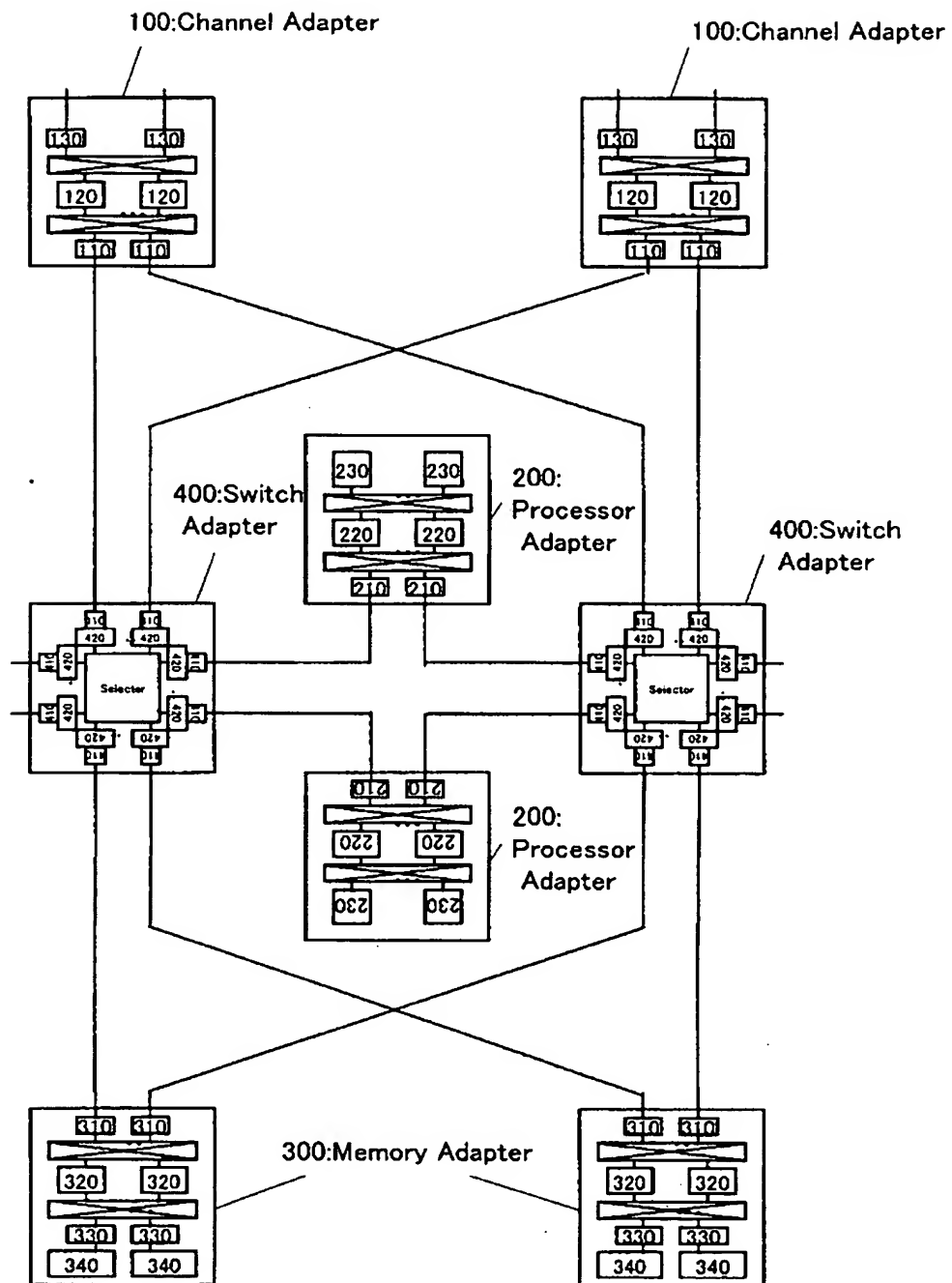


図14 本発明のディスク制御装置

【図 15】

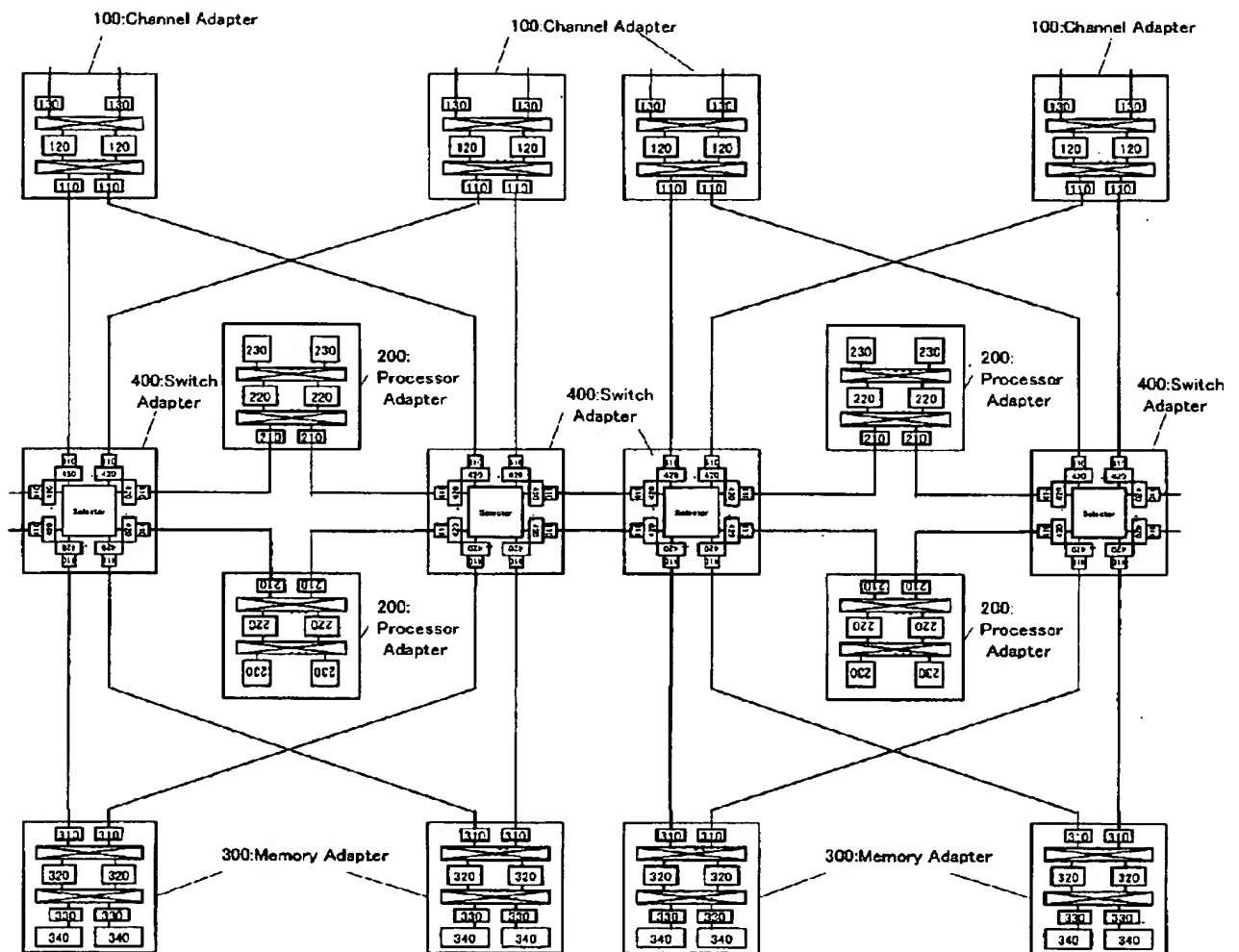


図15 本発明のディスク制御装置

【図 16】

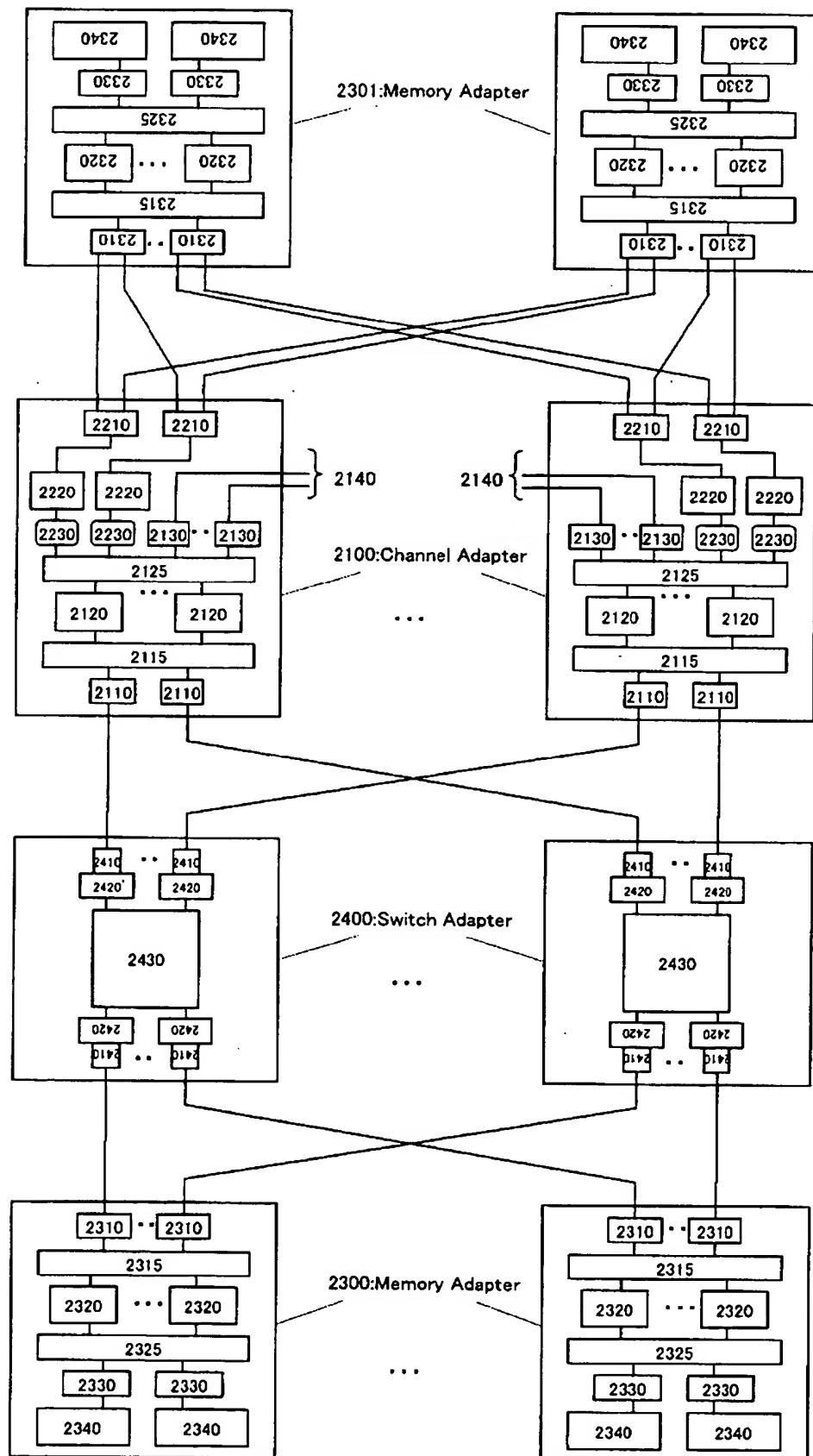


図16従来のディスク制御装置のネットワーク構造

【図 17】

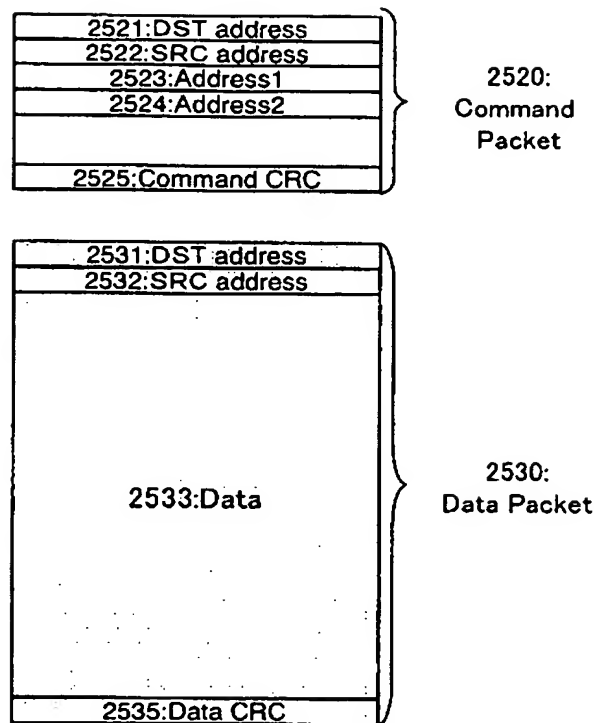


図17 コネクション型通信方式で使用するパケット構造

【図18】

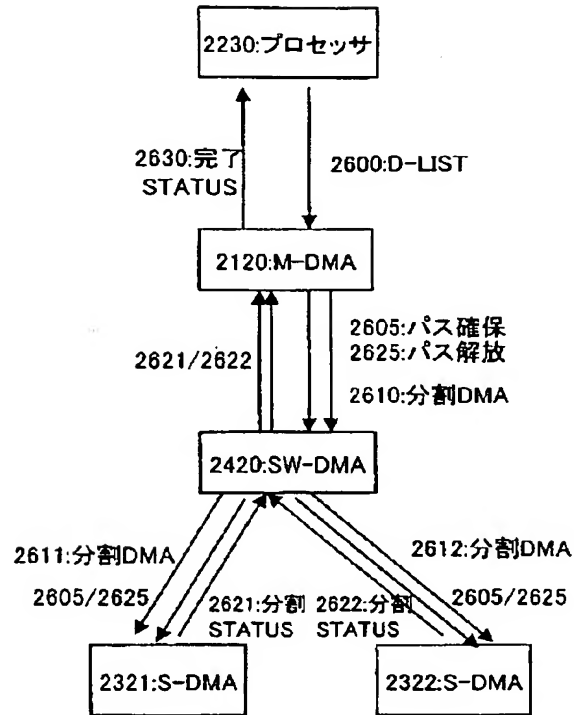


図18 従来のパケットフロー

【図19】

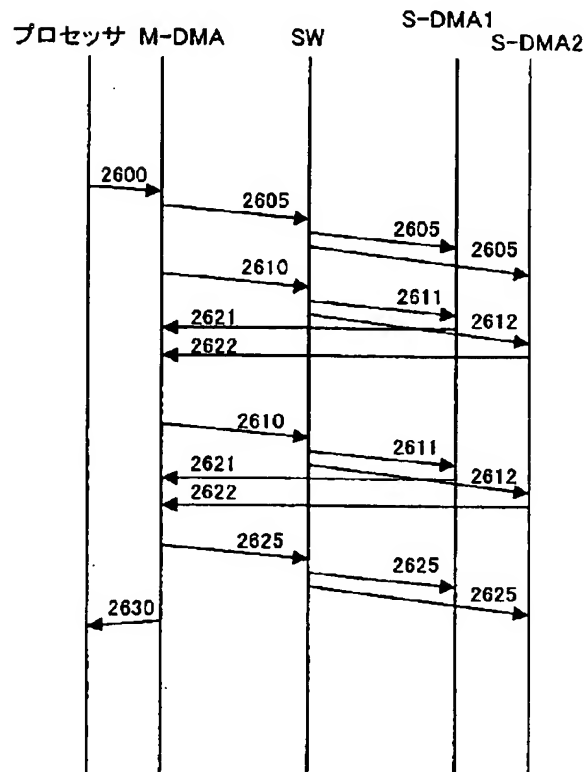


図19 従来のプロトコル

【図 20】

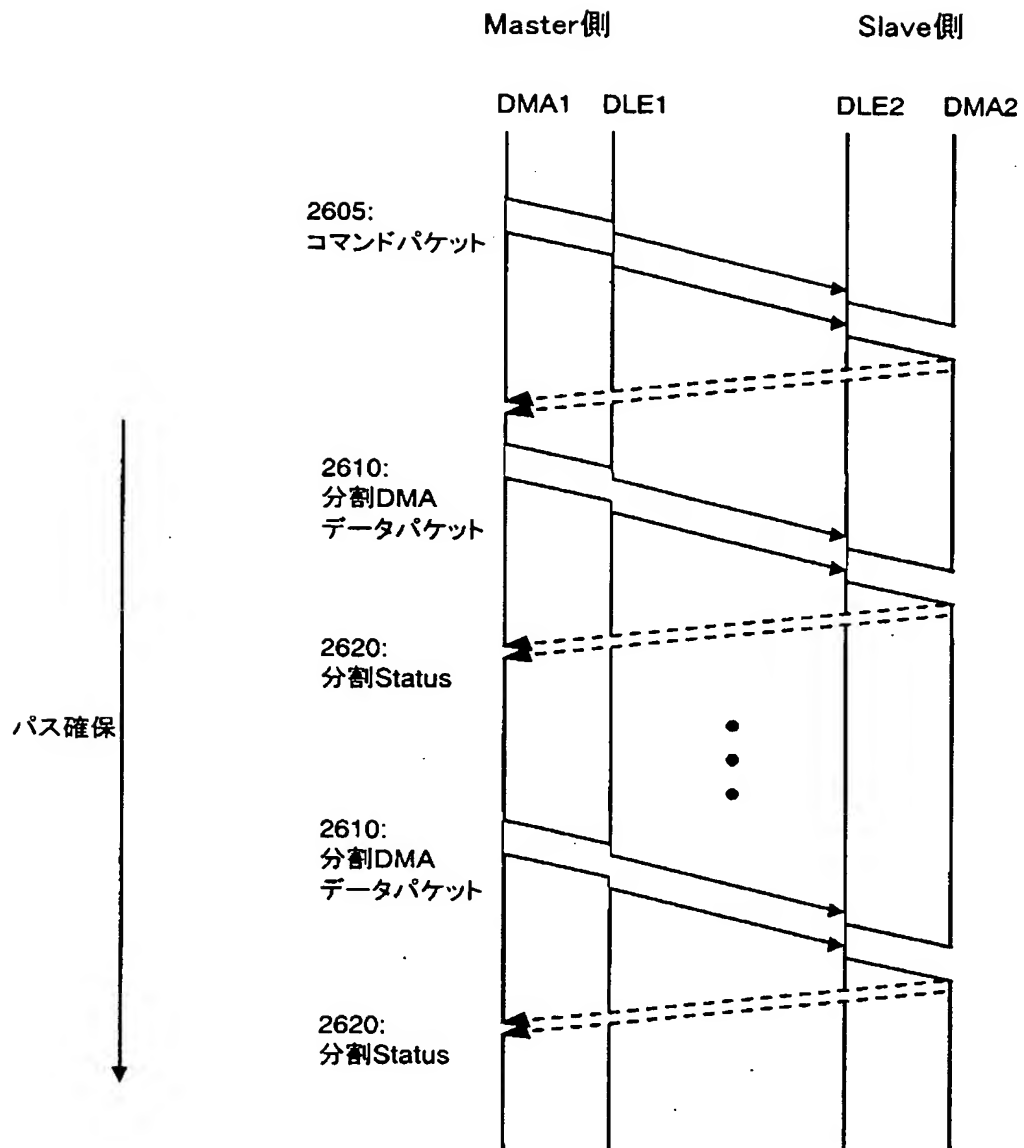


図20 非多重通信の転送プロトコル

【書類名】 要約書**【要約】**

【課題】 高信頼性を維持しながら、高い転送効率（性能）と低コスト化を実現するディスク制御装置を提供すること。

【解決手段】 ホストコンピュータ又はディスクドライブ装置との接続インターフェースを持つチャンネルアダプタ 1 0 0 と、ホストコンピュータとディスクドライブ装置の間で転送されるデータを一時的に格納するメモリアダプタ 3 0 0 と、チャンネルアダプタとメモリアダプタの動作を制御するプロセッサアダプタ 2 0 0 と、チャンネルアダプタ、メモリアダプタ、プロセッサアダプタの間を互いに接続して内部ネットワークを構成するスイッチアダプタ 4 0 0 と、を備え、チャンネルアダプタ等の各アダプタは、内部ネットワークの通信プロトコル制御を行う DMA コントローラ 1 2 0, 2 2 0, 3 2 0, 4 2 0 を有し、各アダプタに設けられた DMA コントローラの間でパケット多重通信を行うこと。

【選択図】 図 1

特願 2 0 0 4 - 0 3 8 4 5 9

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 0 8]

1. 変更年月日	1 9 9 0 年 8 月 3 1 日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台 4 丁目 6 番地
氏 名	株式会社日立製作所